

CONSTITUTION: Poly-Si is adhered by CVD or the like on an amorphous insulation substrate 1 such as a quartz plate or the like consisting of SiO(sub 2), and then pattern etched to form a polycrystalline silicon layer 2. Thereafter, ions of Si(sup +) for example are implanted into at least a part of polycrystalline silicon layer 2 to form an amorphous region 3. This amorphous region 3 is formed only in the central portion of the polycrystalline silicon layer 2, while both sides thereof are left as polycrystalline regions 2a and 2b. The polycrystalline silicon layer 2 thus partially rendered amorphous is heat treated so as to cause the amorphous region 3 to crystal grow in solid phase and to form a solid-phase growth region 4. When said heat treatment is effected at a temperature within the range from 600c-700c, approximately cylindrical large crystal grains H are formed throughout the width of the amorphous region, and thus the solid-phase growth region 4 having good reproducibility can be obtained.

⑫ 公開特許公報(A)

昭60-164316

⑤ Int. Cl.⁴H 01 L 21/20
21/324
21/84

識別記号

庁内整理番号

7739-5F
6603-5F

④ 公開 昭和60年(1985)8月27日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 半導体薄膜の形成方法

⑪ 特 願 昭59-18480

⑫ 出 願 昭59(1984)2月6日

⑬ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑭ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑮ 代 理 人 弁理士 小 池 晃 外1名

明 細 書

1. 発明の名称

半導体薄膜の形成方法

2. 特許請求の範囲

基板上に多結晶シリコンを形成する工程と、この多結晶シリコンの少なくとも一部分にイオン注入して非晶質化する工程と、この非晶質化した部分を固相状態で結晶成長させる工程とを有する半導体薄膜の形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、 SiO_2 (二酸化シリコン)等の非晶質基板上に半導体薄膜を形成するための半導体薄膜の形成方法に関する。

〔背景技術とその問題点〕

一般に、TFT (薄膜トランジスタ)等の薄膜半導体素子を製造する際には、 SiO_2 (二酸化シリコン)等の非晶質絶縁基板上に、シリコン単結晶あるいは単結晶に近い半導体層を形成することが必要とされる。

このように、非晶質基板上に単結晶に近い半導体層を形成するには、従来において、予め上記基板上に例えばCVD (化学気相成長)法等によりPoly-Si (多結晶シリコン)を被着しておき、この多結晶シリコンを、レーザアニール、電子ビームアニール、あるいはグラフアイトヒータアニール等の加熱処理により部分的に溶融し固化して再結晶させている。

ところが、このような従来の方法においては、再結晶する際の核のばらつき等のため再現性が悪く、順次部分的に高温加熱処理して溶融固化しているため全面を処理するのに要する時間が長くなり、この間の加熱条件の変化、例えばレーザ出力の変動や基板の温度変化等によつて均一性が悪化し、また、溶融温度近傍の高温で処理するため固化するときの熱応力により欠陥が生じ易く、再結晶化を良好に保つような温度環境を実現するための基板表面上の放熱パターン等の構造が複雑になるという欠点がある。さらに、加熱処理装置に特殊なものを要する。

〔 発明の目的 〕

本発明は、上述の点に鑑みて、再現性、均一性に優れ、熔融温度のような高温で熱処理する必要がなく、単純な構造で、実用上十分な特性を有する半導体層を形成可能な半導体薄膜の形成方法の提供を目的とする。

〔 発明の概要 〕

すなわち、本発明に係る半導体薄膜の形成方法は、石英板等の基板上に多結晶シリコンをCVD法あるいは後述するイオン注入後の固相成長等により形成する工程と、この多結晶シリコンの少なくとも一部分に Si^{+} あるいは Ge^{+} 等をイオン注入して非晶質化する工程と、例えば550℃～1000℃程度の比較的低温の熱処理によつてこの非晶質化した部分を固相状態で結晶成長させる工程とを有することを特徴としている。したがつて、再現性、均一性に優れ、従来に比べて低温プロセスであることより、熱応力による欠陥の発生がなく、基板上に複雑な放熱パターン等を形成する必要がなく、さらに、従来のように部分的に順次溶

融固化して再結晶させる必要がないため処理時間が短かくて済むという利点がある。

〔 実施例 〕

以下、本発明の好ましい実施例について、図面を参照しながら説明する。

先ず第1図において、 SiO_2 (二酸化シリコン) より成る石英板等の非晶質絶縁基板1上に、CVD (化学気相成長) 法等によりPoly-Si (多結晶シリコン) を被着しパターンエッチング処理することにより、多結晶シリコン層2を形成する。この多結晶シリコン層2の厚みは例えば約1000Å程度であり、内部の結晶粒 (いわゆるグレイン) の粒径は、上記CVD工程における条件によつても異なるが、約100Å以上とする。

次に、第2図に示すように、多結晶シリコン層2の少なくとも一部分に対して例えば Si^{+} (シリコンイオン) をイオン注入して、非晶質化領域3を形成する。本実施例においては、第3図の概略平面図にも示すように、多結晶シリコン層2のうち両側部を多結晶領域2a, 2bとして残して中

央部のみ、例えば幅2μ～10μの非晶質化領域3を形成している。このときのイオン注入の条件としては、打込み深さの分布のピーク、いわゆる投射飛程 (プロジェクトド・レンジ) R_p が多結晶シリコン層2の厚みの1/2となるようなエネルギーでイオンを打ち込み、注入イオンが Si^{+} の場合の打込みドーズ量を約 $1 \times 10^{15}/cm^2$ 以上とすることによつて、多結晶シリコン内部の結晶粒の境界 (グレイン・バウンダリ) が略完全に破壊されて非晶質構造となるようにする。なお、上記注入イオンとしては、 Si^{+} の他に Ge^{+} 等のような半導体に対して悪影響を及ぼさないイオンを用いることができる。

このように、一部が非晶質化された多結晶シリコン層2を例えば約600℃程度で熱処理することにより、上記非晶質化領域3を固相状態で結晶成長させ、第4図や第5図に示すような固相成長領域4を形成する。このときの固相成長は、非晶質化領域3と多結晶残存領域2a, 2bとの界面 B_1 , B_2 から図中横方向 (水平方向) に成長する

速度の方が、非晶質基板1の表面から第4図中上方にランダム成長する速度よりも速く、固相成長領域4内部では、第4図や第5図に模式的に示すように、各多結晶残存領域2a, 2b内の界面 B_1 , B_2 に存在する結晶粒G等を核として図中横方向に向かつて略棒状の大結晶粒H等が成長することとなる。この場合の上記横方向の結晶成長と、基板表面からのランダム核成長との各成長速度は、上記熱処理の温度によつて異なり、約550℃～1000℃の範囲で上記横方向成長による上記棒状大結晶粒の成長形成が可能である。ただし、温度が高い場合には、上記ランダム核成長の速度も速くなり、固相成長領域4の幅をあまり広くとれず、温度が低い場合には固相成長が極めて緩慢となり処理時間を長く要するため、600℃～700℃の範囲が好ましい。この600℃～700℃の範囲内の温度で上記熱処理を施した場合には、上記横方向の結晶成長が上記ランダム核成長よりも充分速くなり、上記非晶質化領域3の幅が10μm程度と広くとも、上記略棒状の大結晶粒H等がこ

の幅全体にわたるように形成され、再現性の良い固相成長領域4を得ることができる。なお、元の非晶質化領域3の幅が狭い場合等に、550℃～1000℃の範囲内の温度で熱処理を施して固相成長領域4を得ることができることは勿論である。

ところで、第2図および第3図のイオン注入工程において、多結晶シリコン層2の両端部(図中左右端部)を多結晶シリコンのまま残し、中央部にのみイオン注入を行なっているが、例えば領域2bにもイオンを打ち込むようにして、多結晶シリコン層2の片側(図中右側)全部を非晶質化してもよい。この場合には、非晶質化領域と多結晶残存領域との間に一つの界面 B_1 のみが存在し、この界面 B_1 から一方向にのみ上記横方向固相成長が行なわれるため、上述の例のように二つの界面 B_1 、 B_2 からの横方向成長が中間部で衝突するようなことがなく、結晶粒境界(グレイン・バウンダリ)をより少なくすることができる。なお、このような多結晶シリコン層2の片側全部にイオン注入を行なう場合には、上記界面 B_1 からイオ

ン注入された側の多結晶シリコン層2の端部までの距離を例えば2 μm ～10 μm となるように設定することは勿論である。また、固相成長のための熱処理工程は上述の例と同様である。

このようにして形成された固相成長領域4は、一般の多結晶シリコンに比べて境界(バウンダリ)が非常に少なくなり、この境界部分表面に生じていた未結合手(ダングリング・ボンド)を少なくすることができるため、単結晶半導体に近い良好な特性(例えば μ (移動度)が高い等)を再現性よく得ることができ、この領域4を例えばMOSトランジスタの活性領域として用いることができる。

ここで、上記熱処理は、従来の半導体薄膜を形成するときのようなレーザアニール装置、電子ビームアニール装置、あるいはグラフアイトヒータ装置等の特殊な装置を必要とせず、例えば一般の拡散炉を用いることができ、また、従来のような溶融固化による再結晶を行なっておらず、低温プロセスの固相成長を利用しているため、基板表面

上の放熱パターン等が不要になるとともに、熱応力による歪の発生等も生じない。また、高密度集積回路を製造するにあたり、非晶質基板上に被着形成された多結晶シリコン層に多数の活性領域を形成する場合には、これらの活性領域に対応する非晶質化領域をそれぞれ形成した後、1回の上記熱処理を行なうことによつて全ての非晶質化領域を同時に固相成長させることができ、従来のように部分的な加熱処理を順次行なう必要がなく、均一性に優れ、処理効率が低いのみならず、通常の拡散工程と同様に複数枚のウエハを拡散炉等の加熱炉に導入してこれら複数ウエハに対して同時に上記熱処理を施すことができるため、生産性が大幅に向上する。

次に、上述した実施例においては、基板1の平面上で一方向(例えば第5図の左右方向)についてのみ固相成長を行なわせているが、さらに、棒状大結晶粒多結晶シリコン領域である固相成長領域4の少なくとも一部分に対してイオン注入による非晶質化処理を再度施し、基板平面上で上記一

方向と略直交する方向(第5図の上下方向)に固相成長を行なわせてもよい。

すなわち、第6図において、非晶質基板1の多結晶シリコン層2には、上述の実施例の方法により固相成長領域、すなわち棒状大結晶粒の多結晶シリコンより成る領域4が形成されており、この領域4の上記固相成長方向とは略直交する方向(図中A方向)の両端部以外の部分、例えば図中の仮想線で囲んだ領域5に対して、イオン注入による非晶質化処理を施す。このイオン注入は、上述した実施例と同様に、 S_i^+ あるいは G_e^+ 等のような半導体多結晶層に対して悪影響を与えないイオンを、多結晶層(この場合は上記固相成長領域4)のイオン注入領域が全体的に略非晶質化される程度のドーズ量およびエネルギーの条件で打ち込む。次に、上述の実施例と同様に例えば600℃程度で熱処理を施して固相成長を行なわせる。このときの固相成長は、上記棒状大結晶粒が形成されていた領域4の上記両端部を核として図中上下方向に進行するから、平面状あるいは薄板状の大結晶

粒が領域内の上記イオン注入部分（図中斜線部参照）に形成されることになり、結晶粒境界（グレイン・バウンダリ）がさらに減少し、特性が向上する。原理的には、CVD法等により被層形成した多結晶シリコン層に対して、イオン注入および固相成長のための熱処理を、3回繰り返して行うことにより、横、縦、厚さの3次元方向に所望の寸法を有する単結晶体が得られる。

なお、本発明は上記実施例のみに限定されるものではなく、例えば多結晶シリコン層2やイオン注入により非晶質化した領域3等の平面形状は、図示のもの以外にも種々の形状が考えられ、同一基板上に多数の多結晶シリコン層や非晶質化領域を形成してもよいことは勿論である。

〔発明の効果〕

本発明に係る半導体薄膜の形成方法によれば、多結晶シリコンの一部にイオン注入を施して非晶質化し、その界面からの固相成長により結晶粒境界（グレイン・バウンダリ）の非常に少ない半導体層を得ているため、従来に比べて、再現性、均

一性に優れ、また比較的低温で通常の拡散炉を用いて処理できるため、多数の素子や複数のウェハを同時に処理でき、処理効率が向上するとともに、熱応力による欠陥等もなく、基板表面上の複雑な放熱パターン等も不要である。

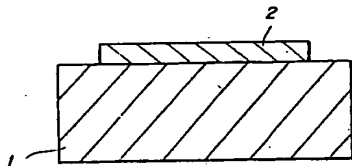
4. 図面の簡単な説明

第1図ないし第5図は本発明の一実施例を説明するためのもので、第1図は処理前の状態を示す概略断面図、第2図はイオン注入後の状態を示す概略断面図、第3図は第2図の多結晶シリコン層のみを取り出して示す概略平面図、第4図は固相成長後の状態を示す概略断面図、第5図は第4図の多結晶シリコン層のみを取り出して示す概略平面図であり、第6図は本発明の他の実施例の要部を示す概略断面図である。

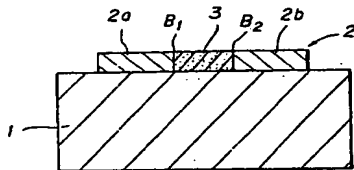
- 1 … 非晶質絶縁基板 2 … 多結晶シリコン層
3 … 非晶質化領域 4 … 固相成長領域

特許出願人 ソニー株式会社
代理人 同 弁理士 小池 村 榮 一

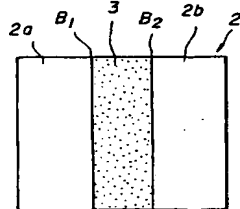
第1図



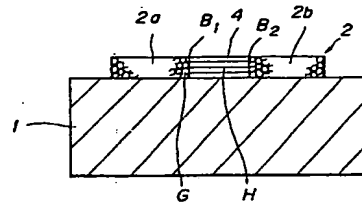
第2図



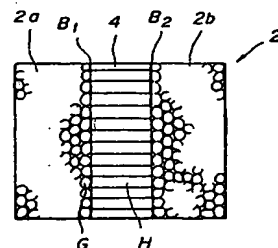
第3図



第4図



第5図



第6図

